

# News Release

## 2022.3.22

NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)

国立研究開発法人産業技術総合研究所

国立大学法人東京大学

### 複数の AI アクセラレータを搭載した実証チップ「AI-One」の動作を確認 —従来比 45%以下の短期間で低コストの AI チップ設計・評価が可能に—

NEDOは「AIチップ開発加速のためのイノベーション推進事業」に取り組んでおり、産業技術総合研究所、東京大学と共同で、ネットワークの末端などに使われるエッジ向けAIチップの設計を容易にするために、東京大学浅野キャンパス(東京都文京区)内に整備を進めている「AIチップ設計拠点」で、AIチップに使用されるAIアクセラレータ開発のための評価プラットフォームの構築を進めています。このたび、本評価プラットフォームの実証チップである「AI-One」において、仕様が異なる6種類のAIアクセラレータを同一チップに搭載し、その試作チップを評価した結果、設計通りの周波数での動作を確認しました。

AIチップを開発する中小・ベンチャー企業などは本評価プラットフォームを使うことにより、各企業が設計したAIアクセラレータ搭載のAIチップを擬似的に作成できるため、短期間(従来比45%以下)に低コストで設計と評価が可能になります。

6種類の異なるAIアクセラレータを1チップに搭載

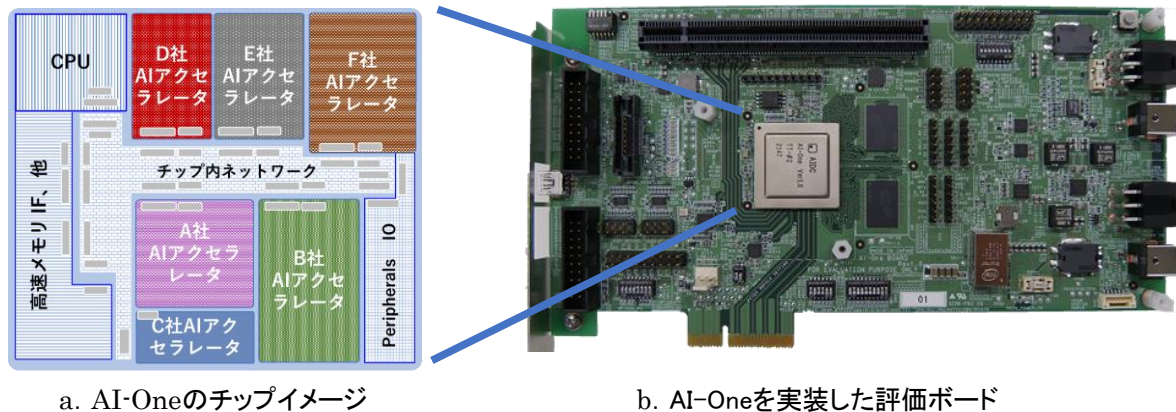


図1 AIアクセラレータ向け評価プラットフォームの実証チップ AI-One

## 1. 概要

目覚ましく進展するIoT社会において、実世界のビッグデータから人々の生活に新たな価値を創造する鍵として人工知能(AI)技術が注目されています。一方、AI技術の根幹をなす半導体集積回路の開発では、微細化が物理的な限界に近づいていること、エネルギー消費が増大し続けていることが極めて大きな課題となっています。この課題を解決するためには、省エネルギーで効率的にAIを動作させる半導体集積回路・デバイス(AIチップ)の開発が必要不可欠であり、世界的にもAIチップの開発競争が激化しています。

日本国内では、多くの中小・ベンチャー企業などが台頭し、AIチップの開発に名乗りを上げています。しかし、AIチップの開発には、半導体を設計するための高度な技術が求められるとともに、高額な回路設計

ツールや検証装置などをそろえる必要があり、中小・ベンチャー企業などが自らのアイデアをチップ化する際の大きな障壁となっています。

このような背景のもと、NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)は、「AIチップ開発加速のためのイノベーション推進事業<sup>※1</sup>」において、国立研究開発法人産業技術総合研究所(産総研)、国立大学法人東京大学(東京大学)と共同で、東京大学浅野キャンパス(東京都文京区)内の武田先端知ビルにAIチップ設計拠点(<https://www.ai-chip-design-center.org/>)を設置し、半導体設計に必要な共通基盤技術の開発や回路設計用のEDAツール<sup>※2</sup>、標準IPコア<sup>※3</sup>などからなる設計環境の整備を進めています。

この一環として本AIチップ設計拠点では、アルゴリズムを実行するエンジンとして中小・ベンチャー企業などが開発する独自のAIアクセラレータ<sup>※4</sup>向け評価プラットフォーム<sup>※5</sup>の構築<sup>※6</sup>を進めています。AIアクセラレータを実環境で評価するには、AIアクセラレータと標準システム回路を有するSoC<sup>※7</sup>、いわゆるAIチップを開発し、それをを用いてシステムレベルでの評価が必要なため、多くのコストと時間がかかっています。そこで、本評価プラットフォームでは、共通基盤技術として標準システム回路や検証回路、テスト回路、評価ボードなどを開発し、中小・ベンチャー企業などにこれら共通技術をAIアクセラレータ向け評価プラットフォームとして提供することで、各企業独自のAIアクセラレータ搭載チップの開発とそれをを用いたシステムレベルでの評価を短期間に実現することを目指しています。

このたび本評価プラットフォームの実証に向け、中小・ベンチャー企業の協力<sup>※8</sup>を得て6種類の独自AIアクセラレータを搭載したCMOS<sup>※9</sup>28nmプロセスを用いる実証チップ(AI-One)を設計し、外部の製造会社で試作した実チップの組み立てと評価ボードへの実装を完了するとともに、この評価ボードを用いたチップの評価を開始しました。現在、各協力会社で自身のAIアクセラレータの評価を開始しており、これまでに6種類全てが設計通りの周波数で動作することを確認しました。

なおAIチップ設計拠点では、2022年3月25日に開催する第33回AIチップ設計拠点フォーラムで、AI-Oneの実チップおよび評価ボードの展示や、AIアクセラレータの評価結果などについて紹介します。AIチップ設計拠点フォーラムの詳細については、下記をご参照ください。

AIチップ設計拠点フォーラム(第33回)

[https://www.ai-chip-design-center.org/aidc2020/aidc2020\\_wp\\_Public/event/](https://www.ai-chip-design-center.org/aidc2020/aidc2020_wp_Public/event/)

## 2. 実証チップAI-Oneの評価概要

本評価プラットフォームの実証チップAI-Oneの評価として、SoCの動作確認として一般に行われている方法と同様に、今回の評価用に準備した専用の評価ボードにAI-Oneを実装しました。これを用いて、中小・ベンチャー各社のAIアクセラレータの性能確認前に必要な、以下のSoCの基本動作評価を行い、設計通りAI-Oneが動作することを確認しました(図2)。

- (1) AI-Oneに組み込んだCPUの800MHz動作において、各AIアクセラレータからLPDDR4<sup>※10</sup>メモリへ、設計通りのフルバンド幅(24.8GB/s)でのデータ転送を確認しました。
- (2) CPUからLPDDR4メモリへ、SoC評価時に求められる安定した読み書き動作(上記バンド幅での室温下8時間の動作)を確認しました。
- (3) 設計時に各種検証項目で確認した機能・性能(PCIe Gen3<sup>※11</sup>プロトコル<sup>※12</sup> 8Gbpsでの通信とプログラム制御、基板上のFLASHに書き込んだプログラムからQSPI<sup>※13</sup> 25MHzでのブートとLPDDR4の起動、DFT<sup>※14</sup>機能による内蔵メモリ・ロジック回路・PLL<sup>※15</sup>の動作、CPUから各AIアクセラレータの

レジスタアクセスと割り込み、クロック周波数変更時のAIアクセラレータ動作)が、設計通り動作することを実測しました。

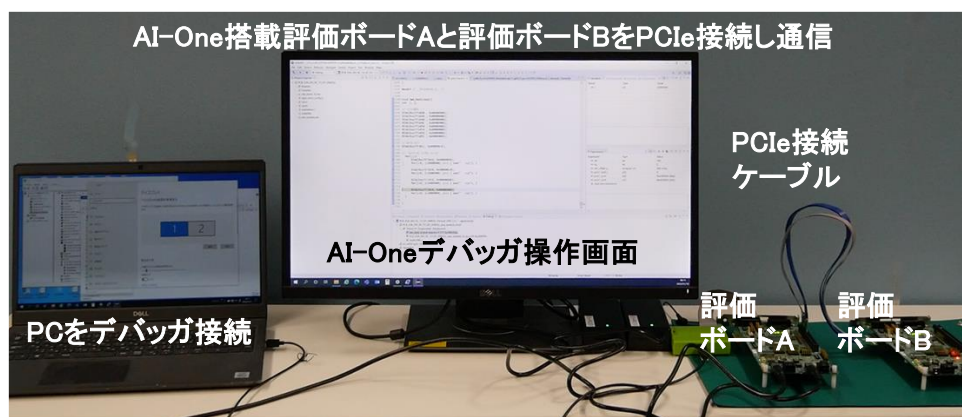


図2 AI-One を実装した評価ボードの PCIe Gen3 での接続テストの様子

### 3. 今後の予定

各協力会社は本事業で設計して試作した実証チップAI-Oneを用いて、設計段階で見積もった各AIアクセラレータの消費電力や性能などについて比較評価を行い、さらに詳細な評価を進めます。NEDOと産総研、東京大学はその評価からのフィードバックを活用し、今後さらに使いやすいエッジ向けAIチップの評価プラットフォームを確立していきます。本評価プラットフォームの確立により、AIアクセラレータ以外の部品などを共通部分として提供可能になり、チップ全体の設計や時間が短縮できるため、AIチップを短期間(従来比45%以下)で低コストに開発することができます。

また本AIチップ設計拠点では、AIチップ設計に関する共通基盤技術などの開発を進め、さらに使いやすいAIチップ設計環境を構築していきます。これらの取り組みにより、AIチップ設計拠点の確立と、日本の中小・ベンチャー企業などのAIチップ開発を後押しします。

#### 【注釈】

##### ※1 AIチップ開発加速のためのイノベーション推進事業

事業名: AIチップ開発加速のためのイノベーション推進事業 / AIチップ開発を加速する共通基盤技術の開発

実施期間: 2018年度～2022年度

事業概要: [https://www.nedo.go.jp/activities/ZZJP\\_100142.html](https://www.nedo.go.jp/activities/ZZJP_100142.html)

##### ※2 EDAツール

EDAはElectronic Design Automationの略です。半導体集積回路などの電気系回路設計を自動化・支援・補助するソフトウェアのことです。

##### ※3 IPコア

IPは、Intellectual Propertyの略です。半導体集積回路を構成する部分的な回路情報で、特に機能単位でまとめられているものを指します。

##### ※4 AIアクセラレータ

AIアプリケーション、特にニューラルネットワークなどの、機械学習を行うために開発されたアルゴリズムを実行するエンジン(機能単位)です。

##### ※5 評価プラットフォーム

(1)半導体チップを設計する手法、(2)チップの利用目的に合わせた標準システム回路、(3)仕様で定められた半導体製造条

件にあった設計ツールの使用方法、の組み合わせです。今回は、エッジAI向けの半導体チップを28nmプロセスでの製造条件で設計する手法や標準システム回路などを組み合わせています。

#### ※6 AIアクセラレータ向け評価プラットフォームの構築

参考: NEDOニュースリリース 2021年5月10日 「複数のAIアクセラレータを搭載した評価チップの設計を完了、試作を開始」[https://www.nedo.go.jp/news/press/AA5\\_101427.html](https://www.nedo.go.jp/news/press/AA5_101427.html)

#### ※7 SoC

System on Chipの略です。一個の半導体チップ上にシステムの動作に必要な機能の多く、あるいは全てを実装する設計手法を使って作られた半導体チップです。

#### ※8 中小・ベンチャー企業の協力

本活動では以下の5社より協力を得ています。

株式会社アクセル、株式会社デジタルメディアプロフェッショナル、株式会社プリバテック、LeapMind株式会社、株式会社ロジック・リサーチ。

#### ※9 CMOS

相補型金属酸化膜半導体(Complementary Metal Oxide Semiconductor)とは、pチャネルとnチャネルのMOSTランジスタを相互に補うように接続した基本回路素子です。

#### ※10 LPDDR4

LPDDR4とはパソコンなどのメインメモリ(RAM)としてよく用いられる低消費電力DDR (Double Data Rate) SDRAM規格の派生規格で、低電圧・低消費電力のメモリ規格です。

#### ※11 PCIe Gen3

PCIe Gen3はパソコンの本体と周辺機器などとの間の接続に用いられるPCI Expressの第3世代(Generation 3)の規格です。PCIはPCI-SIGの登録商標です。

#### ※12 プロトコル

プロトコルとは滞りなく信号やデータ、情報を相互に伝送できるよう、あらかじめ決められた手順や規約、信号の電氣的規則、通信における送受信の手順などを定めた規格です。

#### ※13 QSPI

QSPIはQuad Serial Peripheral Interfaceの略語で、シリアル・メモリにアクセスする通信機能の1つです。

#### ※14 DFT

DFTはDesign For Testability(Test)の略語で、LSIのテストの実行を容易にするための回路設計手法です。

#### ※15 PLL

PLLはPhase Locked Loop(位相同期回路)の略語で、入力される周期的な信号を元にフィードバック制御を加えて、別の発振器から位相が同期した信号を出力する電子回路です。

## 4. 問い合わせ先

(本ニュースリリースの内容についての問い合わせ先)

NEDO IoT 推進部 担当: 芹澤、久保田、功刀、波佐

産総研 エレクトロニクス・製造領域 担当: 内山

東京大学大学院工学系研究科附属システムデザイン研究センター(東京大学

d.lab) 基盤設計研究部門長: 池田

(AIチップ設計拠点についての問い合わせ先)

## AI チップ設計拠点

(産総研 広報に関する一般的な問い合わせ先)

産総研 広報部 報道室

(その他NEDO事業についての一般的な問い合わせ先)

NEDO 広報部 担当:鈴木、坂本、根本、橋本