

**SiC パワー半導体素子界面下の抵抗を3分の1に低減
世界で初めてSiCパワー半導体素子の抵抗要因の影響度を解明**

三菱電機株式会社と国立大学法人東京大学は、世界で初めて*1、パワー半導体モジュールに搭載されるSiC*2パワー半導体素子の抵抗の大きさを左右する電子散乱を起こす3つの要因の影響度を解明するとともに、要因の一つである電荷による電子散乱の抑制により、界面下の抵抗が従来比*3 3分の1に低減することを確認しました。SiCパワー半導体素子の低抵抗化によるパワーエレクトロニクス機器のさらなる省エネに貢献します。

なお、本研究結果を「IEDM2017 (The International Electron Devices Meeting)」(於：アメリカ San Francisco、12月2日から開催)にて12月5日(日本時間)に発表しました。

*1 2017年12月5日現在(三菱電機調べ)

*2 Silicon Carbide(炭化ケイ素)

*3 当社製SiC-MOSFETと同等の界面構造をもつ、横型の抵抗評価用素子との比較において

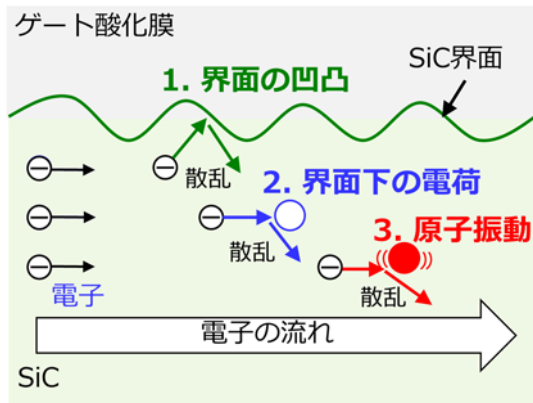


図1. 界面下の抵抗の大きさを左右する要因

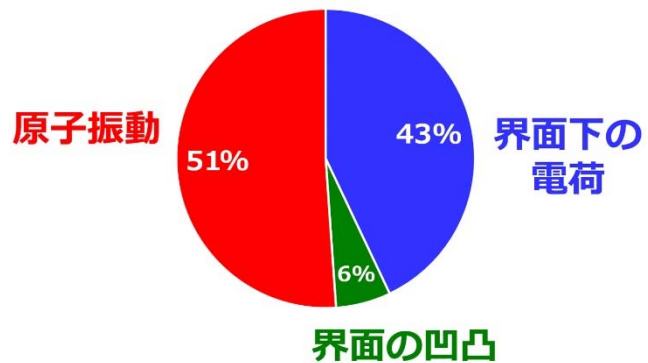


図2. 界面下の抵抗への影響度

開発の特長

1. 評価素子を作製し、電子散乱への電荷と原子振動の影響度が大きいことを解明

- ・界面下の電荷による影響を確認するため、電子が流れる領域を界面から数十ナノメートル遠ざけた横型の抵抗評価用素子(SiC-MOSFET*4)を作製
- ・原子振動に着目し、SiC界面近くの電子散乱を東京大学の評価技術で測定
- ・SiCの抵抗を左右する電子散乱を起こす3つの要因(1. 界面の凹凸、2. 界面下の電荷、3. 原子振動)(図1)のうち、界面の凹凸の影響は小さく、界面下の電荷と原子振動の影響が大きいことを実験により世界で初めて解明(図2)

*4 Metal-Oxide-Semiconductor Field-Effect Transistor: 金属酸化膜半導体電界効果トランジスター

2. 電荷による電子散乱を抑制し、界面下の抵抗を3分の1に低減

- ・横型の抵抗評価用素子において、界面下の電荷から電子の流れを遠ざけることで電荷による電子散乱を抑制し、界面下の抵抗を従来比*3 3分の1に低減することを確認

今後の展開

今後、本成果をもとにSiC-MOSFETの設計と試作評価を実施し、より一層抵抗の少ないSiCパワー半導体素子の実現にむけた研究開発を推進します。

開発の背景

家電製品から産業・鉄道車両用機器などで使用されるパワーエレクトロニクス機器では、さらなる高効率・小型化が求められています。このニーズに応えるために、パワーエレクトロニクス機器のキーパーツであるパワー半導体モジュールの素子に、従来のSi（ケイ素）パワー半導体素子に比べ抵抗が少ないSiCパワー半導体素子を採用し、電力損失の低減を実現する動きが加速しています。SiCパワー半導体素子の低抵抗化をさらに進めるためには、界面下の抵抗特性を正しく理解することが必要ですが、これまでは抵抗の大きさを左右する電子散乱を起こす、界面の凹凸・界面下の電荷・原子振動の3つの要因の影響度を分離して測定することが困難でした。

今回開発した独自技術では、界面下の抵抗に影響を及ぼす要因を個別に測定することにより、電子散乱は界面下の電荷と原子振動による影響度が大きいことを世界で初めて解明しました。

この知見をデバイス構造に反映させることにより、より一層抵抗の少ないSiCパワー半導体素子の実現を目指します。

開発体制

名称	担当内容
三菱電機	横型の抵抗評価用素子の設計、製造、および抵抗要因の解析
東京大学	横型の抵抗評価用素子における電子散乱要因の実測評価（喜多准教授）

本件は、SiCパワー半導体素子の高性能化を目的として、三菱電機と国立大学法人東京大学が界面下の抵抗評価技術に関する共同研究により開発した成果です。

お問い合わせ先

【報道担当】

三菱電機株式会社 広報部
〒100-8310 東京都千代田区丸の内二丁目7番3号

国立大学法人東京大学工学部・大学院工学系研究科
広報室
〒113-8656 東京都文京区本郷七丁目3-1

【開発担当】

三菱電機株式会社 先端技術総合研究所
〒661-8661 兵庫県尼崎市塚口本町八丁目1番1号

国立大学法人東京大学大学院工学系研究科
マテリアル工学専攻 准教授 喜多 浩之