

## 超低消費電力LSIを可能にする新構造トランジスターを開発 ～量子トンネル効果を駆使、IoTの電池寿命を大幅に延長～

### ポイント

- 極めて小さな消費電力で動作するトンネル電界効果トランジスターの開発に成功。
- 酸化物半導体とシリコン系半導体材料の積層界面を活用し、量子トンネル効率を最大化。
- IoT端末の電池寿命の大幅延長や、半導体集積回路の大幅な消費電力削減など、新しい応用展開が可能に。

JST 戦略的創造研究推進事業において、東京大学 大学院工学系研究科の高木 信一教授らは、極めて小さな電圧制御で動作が可能な量子トンネル電界効果トランジスター<sup>注1)</sup>を開発しました。

IoTやモバイル端末のさらなる低消費電力化と電池寿命の延長のため、これまでのMOS型トランジスター<sup>注2)</sup>に代わる、新たな物理現象を動作原理に用いた革新的なトランジスターの開発が望まれていました。

本研究グループは、従来の大規模集積回路（LSI）に用いられるSi（シリコン）やGe（ゲルマニウム）と、主にディスプレイなどに使用される酸化物半導体とを組み合わせたトンネル電界効果トランジスターを初めて実現しました。すでに広く実用化されている材料同士の組み合わせは、現在の半導体製造工程の活用と早期の実用化を視野に入れた、新しい発想です。素子構造の最適化と材料の組み合わせにより量子トンネル効果を効率よく引き起こすことで、ゲート電圧<sup>注3)</sup>のわずかな変化で極めて大きな電流変化を実現し、素子のオン状態とオフ状態との電流比を世界最高値にまで引き上げることに成功しました。

このトランジスターは、従来の半分以下の低い電圧で動作可能なほか、極めて小さな待機時消費電力が達成されます。そのため、さまざまなモバイル端末の省電力化や環境発電と融合したバッテリー不要な集積回路の実現など、新たな応用展開が期待されます。

本研究成果は、2017年12月3日（米国西部時間）に国際会議 International Electron Device Meeting（IEDM）で発行される「Technical Digest」に掲載されます。

本成果は、以下の事業・研究領域・研究課題によって得られました。

戦略的創造研究推進事業 チーム型研究（CREST）

研究領域：「素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成」

（研究総括：桜井 貴康 東京大学 生産技術研究所 教授）

研究課題名：「超低消費電力集積回路のためのトンネルMOSFETテクノロジーの構築」

研究代表者：高木 信一（東京大学 大学院工学系研究科 教授）

研究期間：平成25年10月～平成31年3月

JSTはこの領域で、材料・電子デバイス・システム最適化の研究を連携・融合することにより、情報処理エネルギー効率の劇的な向上や新機能の実現を可能にする研究開発を進め、真に実用化しイノベーションにつなげる道筋を示していくことを目指しています。上記研究課題では、実用的で高性能のデバイス技術を開発すると共に、トンネル電界効果トランジスターの設計技術や回路技術を構築し、0.3V以下で動作しうる超低消費電力のシステムの実現を目指しています。

## <研究の背景と経緯>

I o T (モノのインターネット) の急速な発展と共に、身の回りのさまざまな電子機器がネットワーク上でつながり、クラウドサーバーやモバイル端末の低消費電力化の重要性が近年より一層求められています。電界効果トランジスタ (F E T) は、プロセッサやメモリーの基本構成素子<sup>注4)</sup> としてあらゆる機器内で使用されていることから、その低消費電力化は喫緊の課題です。

低消費電力化には、F E Tのオン状態とオフ状態、つまり、電流の流れる状態と流れない状態を小さな電圧差で達成することが重要です。従来のM O S型電界トランジスタ (M O S F E T) では、動作電圧の低減は原理的に限界を迎えています。

この限界を突破するため、従来とは異なる動作原理として量子トンネル効果を用いた電界効果トランジスタ (トンネルF E T) が、新たな素子として期待されています。しかしながら、トンネルF E Tではオン状態とオフ状態とで十分大きな電流比をとることが難しいなど、本質的な課題が数多く残っています。また、材料的にも、結晶成長技術を駆使したI n G a A s (インジウム・ガリウム・ヒ素) やG a S b (アンチモン化ガリウム) などのI I I - V化合物半導体や、分子吸着を利用したM o S<sub>2</sub> (二硫化モリブデン) やW S e (セレン化タングステン) などは、既存の半導体技術への組み込みや大規模集積化が難しく、実用化の面で大きな課題が残っています。

## <研究の内容>

トンネルF E Tではオン状態とオフ状態の電流比を大きくするためには、オン状態では量子トンネル効果をより効果的に引き起こすこと、オフ状態では電流の漏れを小さくすることが重要であり、材料上および構造上の工夫が必要です。

本研究では、酸化物半導体材料とI V族半導体材料を積層させた構造を検討し、動作実証に成功しました。S i (シリコン)、S i G e (シリコンゲルマニウム)、G e (ゲルマニウム) などのI V族半導体材料は、大規模集積回路の基盤となる材料です。また、Z n O (酸化亜鉛) などの酸化物半導体は、薄膜トランジスタ (T F T) の材料としてディスプレイなどで幅広く使用されています。各々は十分実用化レベルにある材料にも関わらず、これらの異なる材料系を組み合わせた研究はこれまでなく、世界で初めての試みです。

今回開発したトンネルF E Tの構造模式図とエネルギーバンド図を図1に示します。トンネル現象は量子力学的な物理現象であり、バンド構造を正確に理解・制御する必要があります。ゲート電極に正の電圧を加えることで、I V族半導体の価電子帯と酸化物半導体の伝導帯とがエネルギー的に重畳し、量子トンネル効果が発現し、以下が可能になります。

- ・ゲート電極 - 極薄ゲート絶縁膜 - 酸化物半導体 - I V族半導体が積層した構造により、I V族半導体と酸化物半導体の接合面全域に渡り量子トンネル効果が生じるため、ON状態での電流値を効果的に増大可能
- ・適切な材料の組み合わせにより、実効エネルギー障壁高さ<sup>注5)</sup> を小さくすることで、量子トンネル確率を指数関数的に増大可能 (図2)
- ・量子トンネル距離は上部の酸化物半導体膜厚により決定することが可能なため、こちらでも量子トンネル確率を指数関数的に増大可能
- ・酸化物半導体の禁制帯幅 (バンドギャップ、電子が存在することができない領域) が

大きいため、オフ状態の漏れ電流を小さくすることが可能となります。  
さらに、TCADシミュレーション<sup>注6)</sup>により、電流値の変化の急峻性を示すS係数<sup>注7)</sup>において、最小値1mV/桁、0.3Vの動作領域全体での平均は40mV/桁を実現し  
うる、高いポテンシャルを持つことが明らかとなりました(図3)。

本研究では、高濃度に不純物を添加したSiもしくはGe上に、レーザーアブレーションによりZnOを堆積することで、実際にトランジスタを作製しました(図4)。その結果、既存の半導体作製プロセスにZnO堆積のみを追加することで、所望の構造を実現可能であることを実証しました(図5)。オン状態とオフ状態の電流比は8桁を上回り、これまでのトンネルFETと比べて約4倍となり、最大の値です(図6)。今後は、より詳細な材料選択とプロセスの最適化により、さらなるON電流の増大とS係数の低減を目指します。

### <今後の展開>

論理演算回路の低消費電力化は、急速に発展するIoTの実現を左右する、世界的な課題です。トンネルFETの実用化による電子機器の消費電力削減は、半導体集積回路に与える影響は極めて大きく、インパクトのある成果です。特に、今回の提案は、Si系IV族半導体と酸化物半導体の組み合わせによって達成されるものです。Si系IV族半導体と酸化物半導体は、各分野ではすでに高い水準で技術構築が成されているため、従来の半導体素子作製工程との整合性が非常に高く、実用化への障壁は低いと言えます。

今回提案するトンネルFET構造は、量子トンネル効果が材料接合界面全域に渡り生じることを利用してしています。このことにより、量子トンネル効果を活用した低消費電力化を達成すると同時に、素子寸法<sup>注8)</sup>に比例した大きなON電流を実現することが可能です。従来のMOS型半導体は、素子寸法の微細化によって高性能化が達成されてきましたが、現在、微細化では十分な低消費電力化が実現できないため、物理的な限界が訪れています。したがって、本研究で提案する新材料と新構造を組み合わせたトンネルFETにより、微細化技術に頼らない高性能かつ低消費電力な半導体素子実現への道が拓かれ、今後の半導体素子の継続的な発展において重要な役割を果たすことが期待されます。

また、酸化物半導体材料は、酸化亜鉛、酸化インジウム、酸化錫、酸化インジウム-ガリウム-亜鉛(IGZO)など多岐に渡ります。今回の動作実証により、新規の材料の組み合わせの有効性が示されたことにより、新たな学術分野の創生にもつながる高い可能性を秘めています。酸化物半導体材料、半導体プロセス、分析・評価など、さまざまな専門家の知見の融合により、電気伝導機構の定量的な理解を通じ、材料の組み合わせや素子構造の最適化が急速に進むことが期待されます。

<参考図>

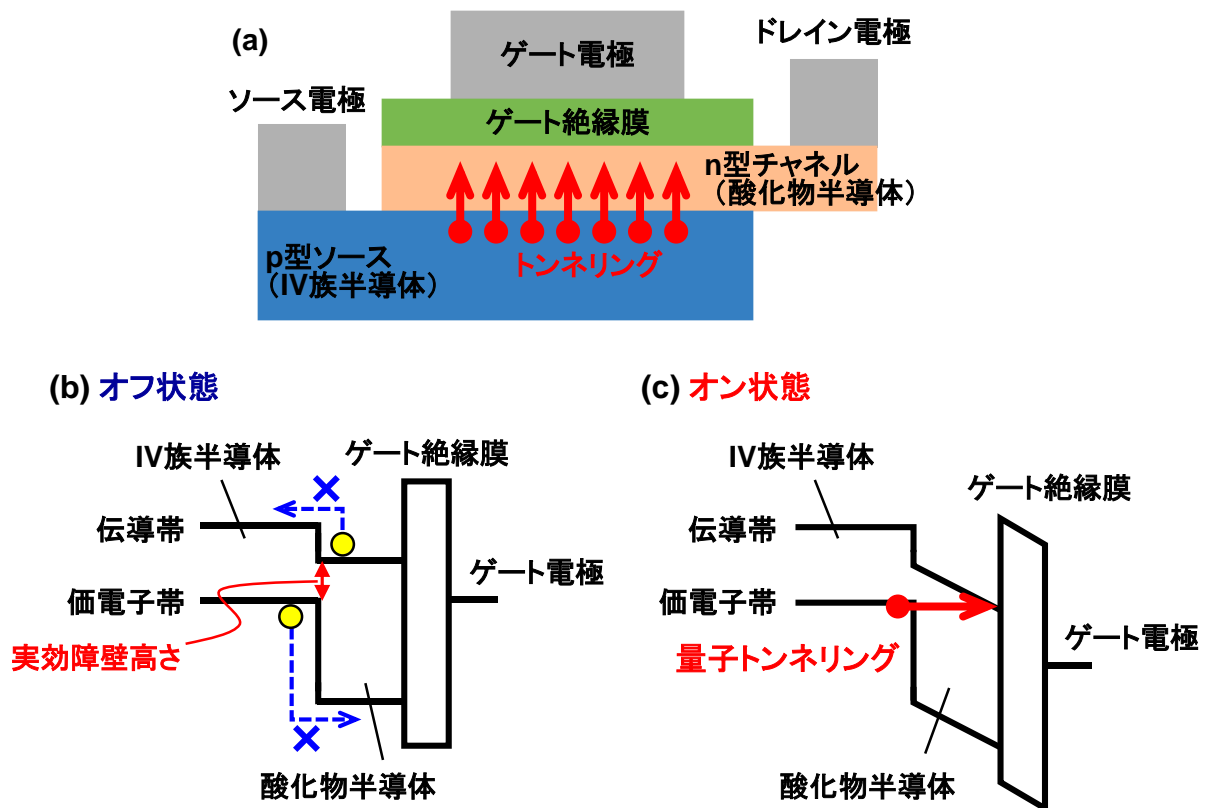


図1 本研究で提案する酸化半導体/IV族半導体接合トンネルFETの素子構造と、オフ状態およびオン状態におけるエネルギーバンド図

ゲート電極に正の電圧を印加したON状態では、IV族半導体(Si、SiGe、Geなど)の価電子帯と酸化半導体の伝導帯とがエネルギー的に重畳するため、量子トンネリングが生じます。この時、接合界面全域に渡り量子トンネリングが生じるため、ON状態での電流値を効果的に増大させることができます。また、適切な材料選択により、量子トンネリングに対する実効障壁高さを小さくすることで、トンネル確率の増大によりON電流の増加が見込めます。加えて、これらの材料系では、価電子帯・伝導帯それぞれで十分大きなエネルギー障壁が得られるため、OFF状態での電流値の低減も達成されます。

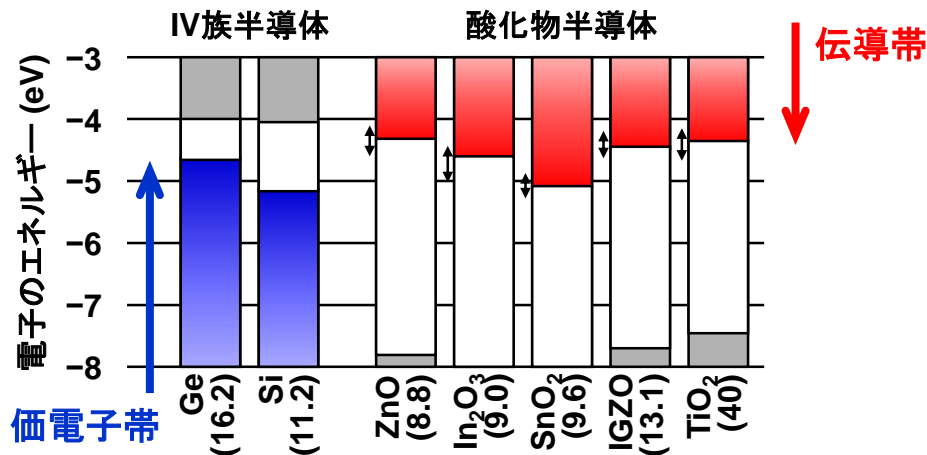


図2 種々のIV族半導体と酸化物半導体のエネルギーバンド関係

IV族半導体の価電子帯端が高い性質と、酸化物半導体の伝導帯端が低い性質を利用することで、量子トンネリングの実効的なエネルギー障壁高さを小さくすることが可能です。量子トンネル確率は、エネルギー障壁高さに指数関数的に依存します。特に、IV族半導体にはSiとGeの混晶系であるSiGe（シリコンゲルマニウム）を採用することで、Geの組成により、エネルギーバンド構造の連続的な制御が可能となります。本应用到した酸化物半導体材料の選択と、SiGe技術により、最適なエネルギーバンド構造を得ることが期待できます。

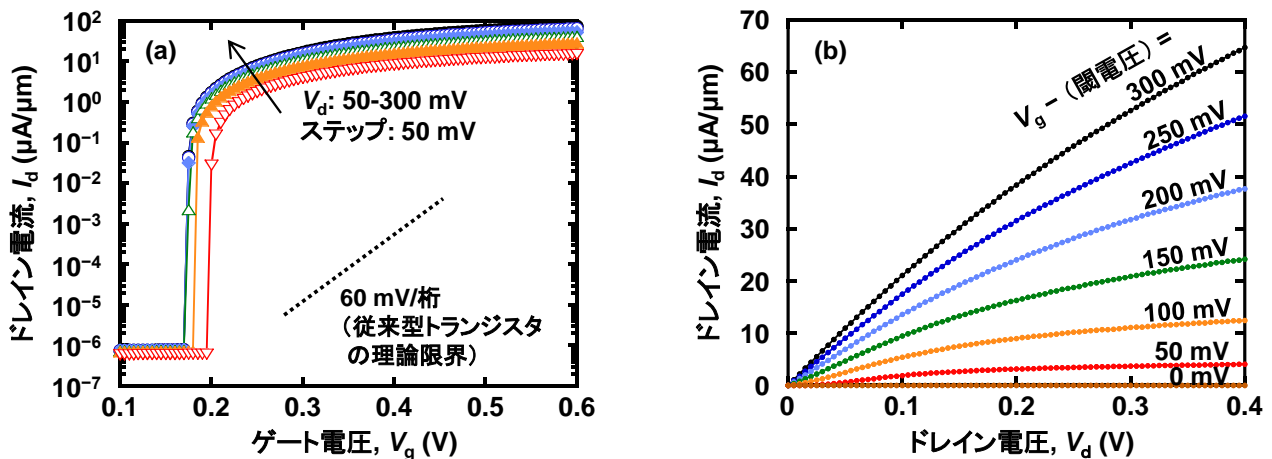


図3 TCAD (Technology Computer-Aided Design) シミュレーションにより得た、bilayerトンネルFETの特性予測

左は、ドレイン電流とゲート電圧の関係を示します。非常に小さなゲート電圧の変化に対し、十分大きなドレイン電流の変化が達成できていることがわかります。右は、ドレイン電流とドレイン電圧の関係を示します。0.3Vでの動作において約50μA/μmの大きなドレイン電流が見込まれ、実用化水準に達する値です。

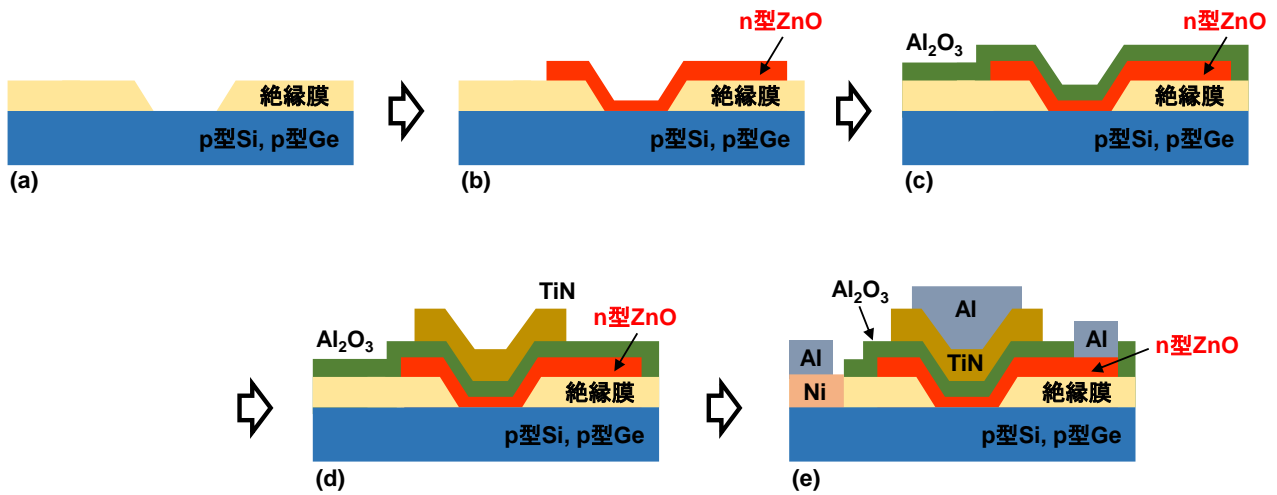


図4 今回作製したトンネルFETの製造工程の概略図

高濃度の不純物を添加したp型Siもしくはp型Ge基板の上に絶縁膜を堆積し、トンネル接合を形成するためのウィンドウを形成します(a)。続いて、酸化物半導体(今回は酸化亜鉛)を全面に堆積し、所望の構造にエッチングをします(b)。ゲート絶縁膜としてAl<sub>2</sub>O<sub>3</sub>を堆積した後(c)、TiNゲート電極を形成します(d)。p型Siもしくはp型Ge上にNi(ニッケル)ソースコンタクトを、ZnO上にAl(アルミニウム)ドレインコンタクトを形成し、最後に、各電極上にAlの引き出し電極を形成して、完成します。

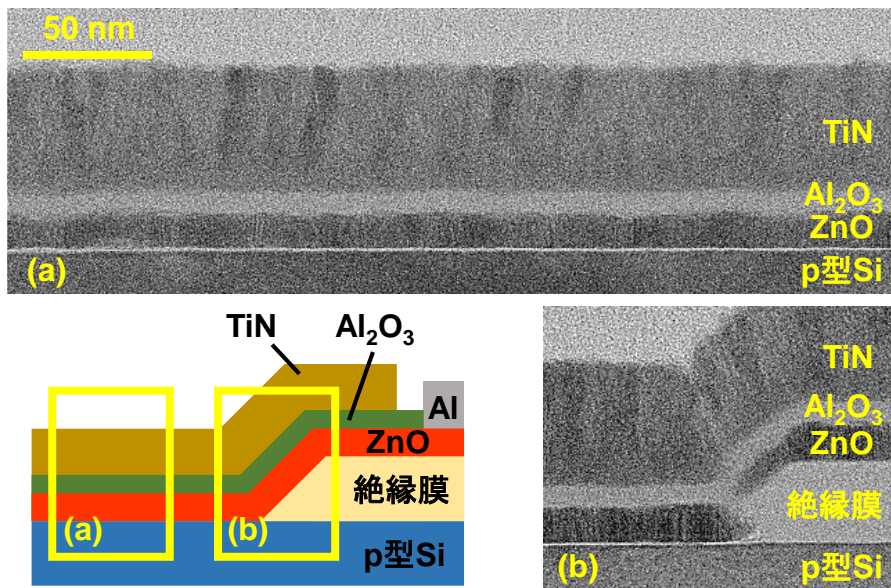


図5 ZnOチャンネル/Siソース トンネル接合界面近傍の素子構造と、試作された素子の断面透過電子顕微鏡像

既存の半導体素子製造工程に酸化物半導体堆積プロセスを追加するのみで、所望のトンネルFET構造が形成可能とわかります。

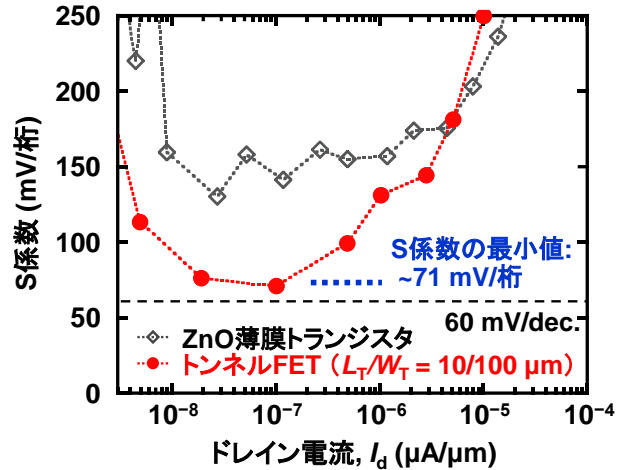
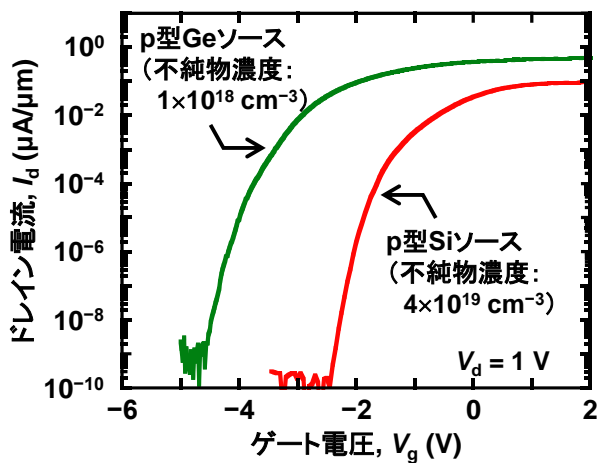


図6 p型Si基板、および、p型Ge基板上に作製したトンネルFETの動作特性  
 左は、ドレイン電流とゲート電圧の関係を示します。OFF状態では、非常に小さなドレイン電流が達成されていることがわかります。ON状態とOFF状態の電流比は約8桁で、報告されるトンネルFETの中で最大です。右は、S係数とドレイン電流の関係です。p型SiとZnOのトンネル接合によりS係数は減少し、最小値で71mV/桁を達成しました。

### <用語解説>

#### 注1) 量子トンネル電界効果トランジスタ

半導体中のエネルギー障壁をトンネリングする電流を、別の電極（ゲート電極）の電圧によって制御する、電流のスイッチング動作を行う素子。

#### 注2) MOS型トランジスタ

MOSFET（MOS型トランジスタ）は、Metal-Oxide-Semiconductor（金属-酸化膜-半導体）Field-Effect-Transistor（電界効果トランジスタ）の略号。ゲート電極に加えた電圧により半導体側に電子（負の電荷）あるいは正孔（正の電荷）のキャリアを誘起して、電流のオン・オフ動作を行う素子。LSIの最も基本となっている。

#### 注3) ゲート電圧

電界効果トランジスタの電流のオンとオフを制御するための電極（ゲート電極）に加えられる電圧。

#### 注4) 基本構成素子

プロセッサやメモリーは、与えられた1つもしくは複数の「0」または「1」のデジタル情報に対し、論理否定（「0」と「1」との反転）、和、積などの論理演算を行い、またその情報を保持する機能を備えた電気回路である。トランジスタ（電気回路内のスイッチ）が最小単位の素子であり、トランジスタの組み合わせにより複雑な回路を構成する。

#### 注5) エネルギー障壁高さ、トンネル確率

量子トンネル現象は、壁を超えることできるエネルギーを持っていない電荷であっても、

ある確率で壁の反対側に通過する現象。この壁をエネルギー障壁と言ひ、その高さをエネルギー障壁高さ、またその通過確率をトンネル確率と言う。トンネル確率は、エネルギー障壁高さと同トンネル距離に指数関数的に影響され、トンネルFETには、小さなエネルギー高さと同トンネル距離が求められる。

注6) TCADシミュレーション

Technology Computer Aided Designの略語。素子構造や材料物性値を元に、コンピュータ上で素子の性能を計算予測する手法である。

注7) S係数

FETにおいて、電流を1桁変化させるために必要なゲート電圧の変化量。V/decade (桁) という単位が使われる。

注8) 素子寸法

トランジスターの寸法、長さ。主に、ゲート電圧によりエネルギー状態が変化する領域 (チャンネル領域) の長さを指す。

<論文情報>

タイトル: "Proposal and demonstration of oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment"

(type-IIエネルギーバンドアライメントを有する酸化物半導体/(Si, SiGe, Ge) 積層型トンネル電界効果トランジスターの提案と動作実証)

著者名: Kimihiko Kato, Hiroaki Matsui, Hitoshi Tabata, Mitsuru Takenaka, Shinichi Takagi

掲載誌: Technical Digest

<お問い合わせ先>

<研究に関すること>

高木 信一 (タカギ シンイチ)

東京大学 大学院工学系研究科 電気系工学専攻 教授

〒113-0032 東京都文京区弥生2-11-16

<JSTの事業に関すること>

中村 幹 (ナカムラ ツヨシ)

科学技術振興機構 戦略研究推進部

〒102-0076 東京都千代田区五番町7 K's 五番町

<報道担当>

科学技術振興機構 広報課

〒102-8666 東京都千代田区四番町5番地3

東京大学 大学院工学系研究科 広報室

〒113-8656 東京都文京区本郷7-3-1